

CLIPPEDIMAGE= JP02000183531A

PAT-NO: JP02000183531A

DOCUMENT-IDENTIFIER: JP 2000183531 A

TITLE: MOUNTING BOARD AND MOUNTING STRUCTURE

PUBN-DATE: June 30, 2000

INVENTOR-INFORMATION:

NAME

SUMIKAWA, MASAHIRO

TANAKA, KAZUMI

COUNTRY

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP10360092

APPL-DATE: December 18, 1998

INT-CL (IPC): H05K003/46

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent huge voids from being produced due to air trapped in via portions during solder paste printing by forming viaholes which provide electrical connection with layers in a pad area excepting the outermost layer and extend beyond the pad area.

SOLUTION: A viahole 2 is formed so that it extends beyond a pad 1 at the outermost layer and the hole is protruded from the pad 1. The protruded portion 2A is coated with solder resist 4 so that its solder wettability is impaired. As a result, when a soldered joint is formed on the viahole 2, the viahole 2 is not covered at the protruded portion 2A because solder does not stick before and after solder paste printing. For the reason

air is allowed to  
escape from the protruded portion 2A. Thus voids are  
prevented from being  
formed at the soldered joint.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183531

(P2000-183531A)

(43) 公開日 平成12年6月30日(2000.6.30)

(51) Int.Cl.<sup>7</sup>

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

テマコード\*(参考)

N 5 E 3 4 6

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願平10-360092

(22) 出願日 平成10年12月18日(1998.12.18)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 住川 雅人

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 田中 和美

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100103296

弁理士 小池 隆彌

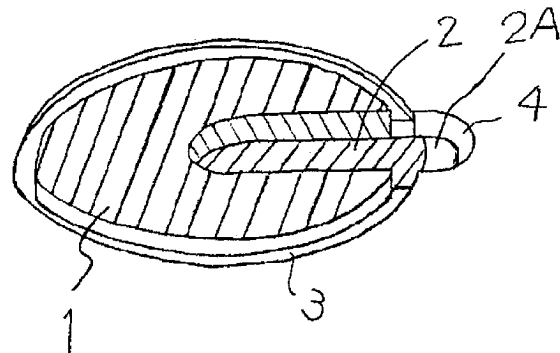
最終頁に続く

(54) 【発明の名称】 実装基板及び実装構造体

(57) 【要約】

【課題】 はんだ接続部に含まれる巨大なボイドを低減し、実装後の耐応力性に優れたはんだ接続部を形成するための実装基板及び実装構造体を提供する。

【解決手段】 基板最表層のパッド1において下層配線と電気的接続を行うビアホール2が、パッド1からはみ出して形成されている。また、ビアホール2のはみ出し部分2Aは、はんだ濡れ性の悪いソルダーレジスト4により覆われている。



## 【特許請求の範囲】

【請求項1】 層間絶縁材層と導体回路が交互に積層配置された多層配線層からなる実装基板において、パッド領域内で最表層以外の層に電気的な接続を行うビアホールであって、前記パッド領域の外部にまで延在するビアホールを備えたことを特徴とする実装基板。

【請求項2】 層間絶縁材層と導体回路が交互に積層配置された多層配線層からなる実装基板において、パッド領域内で最表層以外の層に電気的な接続を行うビアホールの少なくとも外周部分から、前記パッドの外縁部へと延びる、はんだ濡れ性が悪い領域からなる非接続部を備えたことを特徴とする実装基板。

【請求項3】 請求項1または請求項2に記載の実装基板と、少なくとも前記実装基板に形成されたビアホールにおいて前記実装基板とはんだ接続された電子部品と、を備えたことを特徴とする実装構造体。

【請求項4】 層間絶縁材層と導体回路が交互に積層配置され多層配線層からなり、パッド領域内で最表層以外の層に電気的な接続を行うためのビアホールを有する実装基板上に、電子部品が実装された実装構造体において、前記電子部品は、前記ビアホールの存在するパッド領域において、はんだが前記ビアホールの全体を覆わないようにして、はんだ接続が行われていることを特徴とする実装構造体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、多数の電子部品を搭載し、モジュールを構成する実装基板及び実装構造体に関し、特にBGA(Ball Grid Array)型半導体パッケージを搭載するための実装基板及び実装構造体に関する。

## 【0002】

【従来の技術】近年、電子機器の小型化の要求は留まるところを知らず、ますます軽薄短小化が進んでいる。特に、最近「モバイル」と呼ばれている個人用携帯情報機器において、その流れが急である。「より軽く、薄く、小さく」を実現するため、実装分野においても、技術革新が進められ、半導体パッケージの構造、実装基板の構造などに大きな変革が起こってきている。

【0003】その一つが、CSP(Chip Size/Scale Package)やFBGA(Fine-pitch Ball Grid Array)と呼ばれる半導体パッケージの登場である。かつて、表面実装の主流はSOP(Small Outline Package)やQFP(Quad Flat Package)などであった。これらのパッケージは電極がパッケージの側面に並んだ構造を持ち、その電極は硬い金属製のリードに、はんだメッキがされているというもの

であった。そして、これらの半導体パッケージの実装は、リードにメッキされたはんだと、実装基板側にスクリーン印刷により供給されたはんだペーストとを溶融し、凝固させることで行っていた。しかし、このような形態の半導体パッケージにおいては、大雑把な議論において、電極数を増やしていこうとすれば、パッケージの外周長を長くしていく必要がある。電極数が非常に多いチップを、仮にQFPなどの半導体パッケージに搭載し、その半導体パッケージを実装しようとするれば、実装基板上において非常に大きな面積が必要になる。このような問題により、SOPやQFP等の旧来の半導体パッケージでは、近年の電子機器の軽薄短小化の要求に応えられなくなってきた。

【0004】この点、CSP/FBGAにおいては、電極が半導体パッケージ底面にエリアアレイ状に配置されている構造を持つため、同じ電極数の半導体パッケージで比較した場合、QFP等と比べ、大幅な実装面積削減効果が得られる。また、球形状のはんだ電極そのものと実装基板側にスクリーン印刷により供給されたはんだペーストとを溶融、凝固させて接続を行うので、硬い金属製のリードを必要とせず、軽量化の要求にも応えることができる。このようなことから、近年QFP等にとってかわり、CSP/FBGAの用途が急速に拡大してきている。

【0005】電子機器の軽薄短小化の流れと、1mm以下という微細なピッチのエリアアレイ型電極配置構造を持つ半導体パッケージの登場により、実装基板側にも変革が起こってきている。従来よりも狭い面積に、より多くの部品が搭載されることになってきているので、基板表面の配線をひきまわすだけでは各種部品間を接続していくことが困難になっている。そのため、より微細なピッチの配線を形成し、また多層化された基板をより低コストに作製する技術が求められてきている。

【0006】基板の微細ピッチ化、多層化の必要性は、実装基板のCSP/FBGAを搭載する領域について、より切実な問題である。仮に多層化せず、基板最表面の1層のみの配線を考えた場合、内側に位置した実装基板上のパッドから配線を引き出してこうとすれば、配線をより外側に位置したパッドの間を通す必要がある。この配線引き出しの操作は、内側のパッドになればなるほど困難になる。

【0007】現在、よく使用されている0.8mmピッチ程度のCSP/FBGAにおいて、実装基板のパッドの直径は約0.3~0.4mm程度が採用されており、その結果パッド間隔は、0.4~0.5mm程度となる。現在汎用の多層基板においては、線幅/線間隔は、0.1mm/0.1mm程度が限度であり、この仕様ではパッド間を2本の配線を通すのが精一杯である。実装基板を2層以上の多層構造にしなければ、4列以上の電極配置を有するCSP/FBGAは実装できないことに

なる。現状、4列以上の電極を持つCSP/FBGAは、ごく一般的に使われており、また、実装基板配線の微細ピッチ化の進展に比べ、CSP/FBGAの小型化、狭ピッチ化の進展速度の方が早いので、CSP/FBGAを用いて回路を構成しようとすれば、ほとんどの場合、多層基板が必要になることが分かる。

【0008】近年の軽薄短小化された電子機器においては、配線形成の完了した両面基板の両面に、絶縁性の有機樹脂の塗布と、その上への配線の形成というプロセスを繰り返していくという製法で製造された多層基板、いわゆるビルドアップ基板が、よく使用されている。ビルドアップ基板においては、塗布した有機樹脂に開口を設けたり、中心となる両面基板（以後、ベース層と称する）にスルーホールを設けることにより、任意の位置での上下層間の電気的接続が可能である。

【0009】一方、多層基板として古くから用いられてきたのは、配線形成の終了した両面基板を複数枚はりあわせた型のものである。この型の多層基板では、はりあわせる前の両面基板に予め貫通スルーホールを設けておくことにより、層間の電気的接続を行う。隣り合う層1層ずつの接続しか行えないが、古くから確立されているプロセスで製造でき、コストが安い点が特長である。

【0010】このような多層基板において、CSP/FBGA等の半導体パッケージを実装する領域の内側のパッドから配線を引き出すとき、前述の問題のために最表面の配線の引き出しだけでは、配線が引き出しきれない可能性が生じる。そのような場合、パッドからの配線の引き出し方として、パッドの中にビアホールを設け、最表面でない配線と電気的接続をとる方法、いわゆるパッド・オン・ビアが採用されることが多い。

【0011】ビルドアップ基板に設けられた従来のパッド・オン・ビア構造の上面図を図9に示す。また、図9の点線Bでの断面図を図10に示す。図9、図10はベース層の上に1層のビルドアップ絶縁層が形成されている例を示している。図9、図10において、1は実装基板上に形成されているパッド、2は実装基板最表面のパッドと下層の配線とを接続しているビアホール、3はベース層の上に塗布された有機樹脂（以後この層をビルドアップ絶縁層と呼ぶ）、4は基板最表面層上に電気的絶縁やはんだブリッジの防止などの目的で塗布されている

【0012】多層基板は、その表面に多数の半導体パッケージや電子部品を搭載し、マイクロソルダリングすることによって、実用に供される。一般的なマイクロソルダリングの方法は、以下の通りである。

【0013】まず、実装基板上に設けられた多数のパッドの各々に、一定量のはんだペーストを供給する。このはんだペーストは、はんだ粉末ならびにフラックス、粘度調整用の溶剤などから構成されている。はんだペース

トをパッドに供給するには、ステンシルと呼ばれる、約0.1mm～0.2mm程度の一定の厚みの金属板に、実装基板上パッドに対応する位置に開口を設けたものを用いて、いわゆるスクリーン印刷によって行う。この結果、パッドの上に、ほぼ一定量の厚みを持つはんだペーストが載せられることになる。

【0014】はんだペーストの印刷後、半導体パッケージやその他の電子部品を、実装基板上の所定の位置に搭載機を用いて搭載し、その実装基板をリフロー炉に入れる。リフロー炉の中ではんだペーストが溶融し、はんだペーストの一部は、半導体パッケージや電子部品側の電極や、実装基板のパッドと金属間化合物を形成する。リフロー炉の終端付近において、はんだは室温まで冷却されて固化し、半導体パッケージや電子部品の電極と実装基板パッドとの接合が完了する。

【0015】

【発明が解決しようとする課題】一般に、実装基板上に多数の電子部品を搭載して回路を完成させ、それらを筐体に固定し、その完成品である電子機器を使用していると、電子部品のはんだ接続部は熱応力を受ける。この熱応力とは、周囲の気温や機器自体のスイッチのオンオフによる温度の上昇下降によって、電子部品と実装基板との熱膨張率の差により両者の接続部に生じる応力である。熱応力を受けたはんだ接続部は伸び縮みを繰り返して、金属疲労により、やがては破断に至ってしまう。

【0016】SOPやQFPなど、従来の半導体パッケージにおいては、側面から延びるリードを経て実装基板と接続され、パッケージ本体は基板から浮いた構造になっていたため、リードが熱応力を緩和し、その電極形状の効果から、はんだ接続部に生じる熱歪みは、それほど問題視されていなかった。ところが、CSP/FBGAにおいては、はんだ接続部は半導体パッケージ底面にエリアレイ状に並んでいる。その結果、半導体パッケージ本体と実装基板間に生じる熱応力を緩和する機構を設けにくく、生じた熱歪みは、直接はんだ接続部が受けることになる。このことから、旧来の半導体パッケージ以上に熱応力によるはんだ接続部の損傷が問題視されている。

【0017】ところで、一般に、マイクロソルダリング後のはんだ接続部内部には、ボイドと称される空孔が含まれていることがある。このボイドは、ソルダリング時に気化したフラックスがはんだ内部に閉じこめられたり等、何らかの理由ではんだの溶融中に気体がはんだ中に取り込まれた結果生じるものである。CSP/FBGAにおいては、旧来の半導体パッケージが硬い金属製のリードを持っていることとは異なり、はんだだけで接続部を構成しているため、接続部内部のボイドの存在は、直接、熱応力などの外力に対するはんだ接続部の弱さにつながる。

【0018】CSP/FBGAのはんだ接続部のうち、

特に実装基板上のパッド・オン・ビア部に形成されるものについては、特に大きなボイドが見られることがある。図11は、パッド・オン・ビア上に形成されたはんだ接続部に含まれているボイドの一例を示す図である。図11において、9ははんだ接続部、10はCSP/FBGA等の半導体パッケージ本体、11ははんだ接続部中のボイドを示している。図12は、パッド・オン・ビア部での、はんだペースト印刷後、半導体パッケージ搭載前の断面形状を示す図である。図12において、12は印刷されたはんだペーストを表している。13はビア部であるが、印刷後、はんだで埋められずに空気が残っており、ビア全体がはんだペーストで蓋をされたような状態になっている。

【0019】実装後のはんだ接続部に図11の11に示されているような大きなボイドが含まれるのは、はんだペースト印刷後、図12に示されているようにビアに空気が残っている状態で、上から半導体パッケージを搭載され、リフローされるためである。その結果、ビア内部に閉じこめられていた空気が、リフロー中に抜けきれずに接続部に残ってしまうのである。

【0020】はんだ接続部中の巨大なボイドの存在は、その接続部の強度の低下をもたらし、熱応力やその他の外力に対し、非常に脆弱になる。電子機器の中には無数のはんだ接続部があるが、その中のわずか1端子のはんだ接続部の断線でも、その電子機器全体の不良につながってしまう。このようなことから、CSP/FBGAに代表される最近のエリアレイ型半導体パッケージのはんだ接続部において、極端な強度の低下をもたす巨大なボイドの発生を抑える必要がある。

【0021】本発明は、上記の問題点に鑑み、近年多用されている多層基板のパッド・オン・ビア構造上に形成されるはんだ接続部において、はんだペースト印刷時にビア部に閉じこめられた空気による巨大なボイドの発生を防ぐことのできる実装基板及び実装構造体を提供することを目的としている。

【0022】

【課題を解決するための手段】請求項1にかかる実装基板は、層間絶縁材層と導体回路が交互に積層配置された多層配線層からなる実装基板において、パッド領域内で最表層以外の層に電気的な接続を行うビアホールであって、前記パッド領域の外部にまで延在するビアホールを備えたことを特徴とする。

【0023】請求項2にかかる実装基板は、層間絶縁材層と導体回路が交互に積層配置された多層配線層からなる実装基板において、パッド領域内で最表層以外の層に電気的な接続を行うビアホールの少なくとも外周部分から、前記パッドの外縁部へと延びる、はんだ濡れ性が悪い領域からなる非接続部を備えたことを特徴とする。

【0024】請求項3にかかる実装構造体は、請求項1または請求項2に記載の実装基板と、少なくとも前記実

装基板上に形成されたビアホールにおいて、前記実装基板とはんだ接続された電子部品と、を備えたことを特徴とする。

【0025】請求項4にかかる実装構造体は、層間絶縁材層と導体回路が交互に積層配置され多層配線層からなり、パッド領域内で最表層以外の層に電気的な接続を行うためのビアホールを有する実装基板上に、電子部品が実装された実装構造体において、前記電子部品は、前記ビアホールの存在するパッド領域において、はんだが前記ビアホールの全体を覆わないようにして、はんだ接続が行われていることを特徴とする。

【0026】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。図1は本発明の実装基板のパッド・オン・ビア構造の一例を示す上面図である。図2は図1の点線Aにおける断面図を示している。また、図3は図1の実装基板のパッド・オン・ビア構造の斜視図である。これらの図は共に、ベース層の上に1層のビルドアップ絶縁層を形成した例を示している。図1～図3において、1は実装基板上に形成されている最表層のパッド、2は実装基板最表面のパッドと下層（最表層以外）の配線とを接続しているビアホール、3はベース層の上に形成されたビルドアップ絶縁層、4は基板最表層の表面に塗布されているソルダーレジスト、5はベース層を表す。

【0027】本発明の特徴であるビアホール2の構造について以下に説明する。

【0028】本実施の形態では、図1～図3に示すように、ビアホール2は最表層のパッド1の外部領域にまで延在させている。すなわち、ビアホール2の孔をパッド1からはみ出すように設けている。また、そのはみ出し部分2Aはソルダーレジスト4で覆われており、はんだ濡れ性が悪くなるように形成されている。

【0029】このため、ビアホール2上においてははんだ接続を行う場合に、上記はみだし部分2Aにおいては、はんだペーストの印刷後もはんだが付着しないため、ビアホール2が蓋をされたような状態にならない。このため、上記はみだし部分2Aから空気が抜けることができる。このため、上述した従来の例のようにはんだ接続部にボイドが形成されることを抑制できる。

【0030】図4に本実施の形態におけるビアホール2に印刷されたはんだペーストの状態を示す主要断面図を示すが、この図に示すように、実際に、印刷はんだペースト12の下部には、従来（図10参照）のように空気が存在していない。

【0031】したがって、このような実装基板に電子部品が搭載された実装構造体（図示していない）においても、はんだがビアホール2の全体を覆わないようにして、電子部品のはんだ接続が行われるため、そのはんだ接続部で極端な強度の低下が生じず、耐応力性を向上で

きる。

【0032】また、以上説明した実装基板、実装構造体は、当然であるが、2層のものに限らず複数層の実装基板、実装構造体であっても構わない。

【0033】次に、本実施の形態における図1～図3で示したビアホール2の製造方法について説明する。上記のようなパッド・オン・ビア構造を持つ実装基板の製造方法は、従来のパッド・オン・ビア構造を持つ実装基板の製造方法と全く同様の方法により実施される。以下、一例を工程順に説明する。

【0034】まず、ベース層5を形成する。基材の上に銅配線6を形成するが、配線形成の方法は、従来のプリント基板の製法と同様である。

【0035】次に、ベース層5の上にビルドアップ絶縁層3を形成する。ビルドアップ絶縁層3のビア形成にフォトリソを用いる場合には、その樹脂には感光性が要求される。ビルドアップ絶縁層3の樹脂の塗布後、フォトリソにより、ビアホール2になる部分の樹脂を除去する。なお、ビアホールの量産的な穴径は、現在のところ0.1～0.2mmφが最小である。

【0036】さらに、銅の無電解メッキ等を使用してビルドアップ絶縁層3表面に配線1を形成する。

【0037】なお、さらにこの上にビルドアップ絶縁層を形成、フォトリソによるビアの形成、配線の形成を繰り返すことによって、層数の多いビルドアップ基板の作製が可能である。

【0038】このようなフォトリソによるビアの形成法を採用する場合、ビルドアップ絶縁層3の樹脂に感光性をはじめ、基板としての十分な特性を織り込むことが困難である。また、樹脂と配線との密着強度の確保も重要な課題の1つとして残されている。そこで、近年、ドリル加工によってビアを形成し、ビルドアップ絶縁層を積層していく方法も提案されている。この方法では、銅箔付きの樹脂フィルムの所定の位置にドリルによって開口がなされ、完成したベース層の上に貼りつける。さらにその上に銅の配線を形成して、ビルドアップ絶縁層を完成する。この方法においては、材料の選択が比較的容易であるが、穴径は量産性の観点から0.2mmφ程度が限界であり、配線の微細ピッチ化に対応しにくい。その点、レーザーによるビア加工を採用すると、0.1mmφ以下の直径での超微小ビア加工が可能である。ベース層の完成後、ビルドアップ絶縁層となる樹脂を塗布し、硬化後、レーザー照射によりビアを開口する。その上に配線を形成して完成であるが、さらにビルドアップ絶縁層の塗布、ビアの開口、配線の形成を繰り返すことで、更なる多層化にも対応している。このレーザー法では、材料の選択がほとんど不要である上に、現在最も微細なビア加工が可能である。しかし、現状では、製造コストが3種類のビア形成法の中で最も高いという点が欠点である。レーザーによる加工を用いると、図5に示す

ようなパッド構造も容易に作製が可能である。図5は、ベース層の上に2層のビルドアップ絶縁層が形成されている例であり、3'は第1のビルドアップ絶縁層、3''は第2のビルドアップ絶縁層を示している。図5では、第2のビルドアップ絶縁層3''を硬化後、レーザーによって第1、第2の絶縁層3'、3''を一気に開口し、最表層の配線を形成することで、最表層から1層以上隔てた層との電氣的接続を可能にしている。

【0039】以上では、ビアホール2がパッド1の外部領域にまではみ出しており、且つ、ビアホール2にソルダーレジスト塗布部分（はんだ濡れ性の悪い部分）2Aが設けてある実装基板及び実装構造体について説明したが、本発明の実装構造体は実装時にビアホール2上の全体を覆うようにはんだが形成されなければ、上記のものに限らない。

【0040】例えば、図6の上面図、図7の点線A'での断面図に示すようなビアホール2の内部（中央部分）からビアホール2の外縁部分へと延在する非接続部2Bが形成された実装基板、実装構造体であってもよい。ここで、非接続部2Bとははんだ接続がなされない部分であり、この部分の存在により、上記図1～図3の場合と同様にはんだ接続部からの空気を逃がすことができ、耐応力性を向上できる。なお、図6、7では非接続部2Bをビルドアップ絶縁層3の露出部としているが、例えばソルダーレジストやポリイミド、テフロン等、樹脂類が絶縁層3上に被覆されている部分であってもよい。

【0041】また、さらに他の形態の実装基板、実装構造体にも適用できる。図8は、本発明の他の実装基板の例を示す断面図である。図8において、1は実装基板上に形成されているパッド、2は実装基板最表面のパッドと下層の配線6とを接続しているビアホール、4は基板最表層の表面に塗布されているソルダーレジスト、7、8は基板の絶縁層を示している。図8のパッド・オン・ビア構造は、2枚の両面板を貼り合わせて製造した多層配線層を有する実装基板である。すなわち、絶縁層7とパッド1、ソルダーレジスト4を有する基板と、絶縁層8と配線6とを有する基板とを貼り合わせることで製造された実装基板である。この例では、隣り合う層どうしの電氣的接続しかできないが、複数の両面板を同一のプロセスで製造し、その後に貼り合わせるという製造法であるので、図1～図3のパッド・オン・ビア構造よりも安価に製造できる。

【0042】この図8の実装基板は、図1の実装基板と同様、ビアホール2が最表層のパッド1の外部領域にまで延在している構造である。したがって、実装時におけるはんだペースト印刷後もビアホール2が蓋をされた状態にならず、その後のリフロー中においても、ビアホール2に空気が留まっている状態が起こることを防止できる。

【0043】したがって、はんだ接続部中に巨大なボイ

ドが含まれることがなく、電子部品を搭載したときでもパッド・オン・ビア部に形成されるはんだ接続部において極端な強度の低下をまねくことなく、良好なはんだ接続部が得られる。

#### 【0044】

【発明の効果】本発明によれば、実装後にはんだ接続部の耐応力性を著しく低減させる接続部内部のボイド著しく低減させ、はんだ接続部での極端な強度の低下を抑制できる。

#### 【図面の簡単な説明】

【図1】本発明の実装基板のパッド・オン・ビア構造の一例を示す上面図である。

【図2】図1の実装基板の点線Aの断面図である。

【図3】図1の実装基板のパッド・オン・ビア構造の斜視図である。

【図4】図1の実装基板上に印刷されたはんだペーストの状態を示す断面図である。

【図5】より多層の実装基板の構成を示す断面図である。

【図6】本発明の実装基板のパッド・オン・ビア構造の他の例を示す上面図である。

【図7】図6の実装基板の点線A'での断面図である。

【図8】本発明の実装基板のパッド・オン・ビア構造の他の例を示す断面図である。

【図9】従来の実装基板のパッド・オン・ビア構造を示す上面図である。

【図10】図9の実装基板の点線Bでの断面図である。

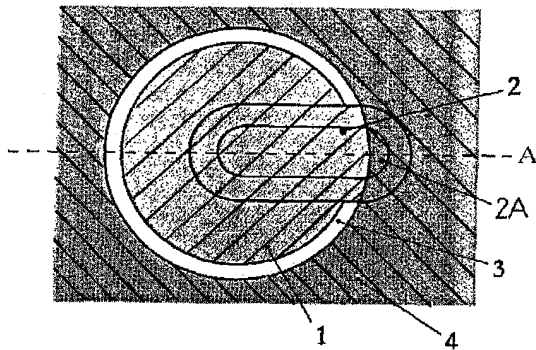
【図11】従来のビアホール上に形成されたはんだ接続部の断面図である。

【図12】従来のビアホール部に印刷されたはんだペーストの状態を示す断面図である。

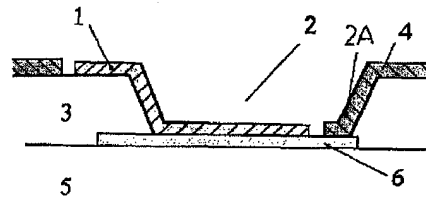
#### 10 【符号の説明】

- 1 パッド（最表層のパッド）
- 2 ビアホール
- 3 ビルドアップ絶縁層
- 3' 第1のビルドアップ絶縁層
- 3'' 第2のビルドアップ絶縁層
- 4 ソルダーレジスト
- 5 ベース層
- 6 最表層以外の銅配線
- 7 第1の絶縁層
- 8 第2の絶縁層
- 9 はんだ接続部

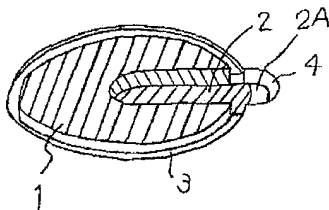
【図1】



【図2】



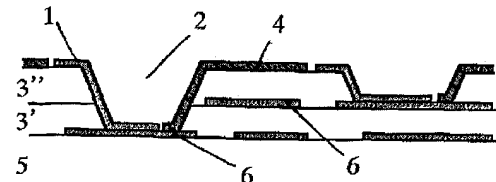
【図3】



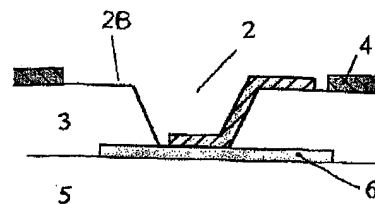
【図4】



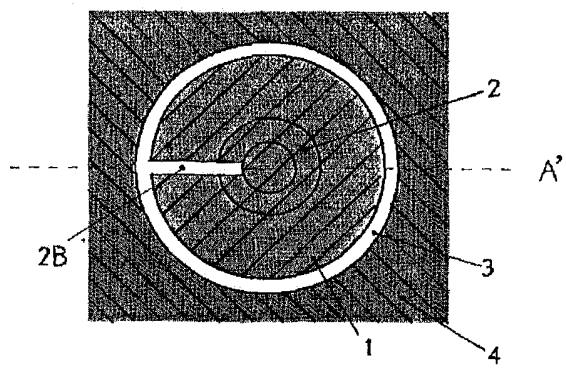
【図5】



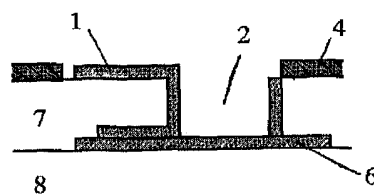
【図7】



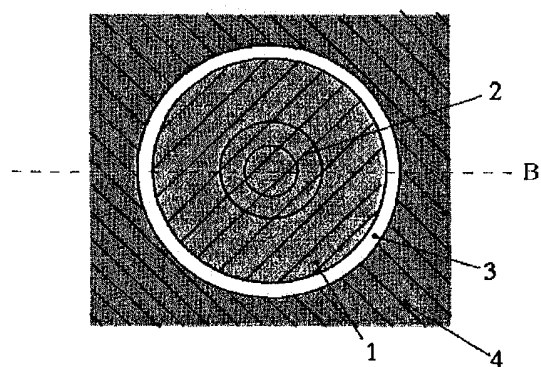
【図6】



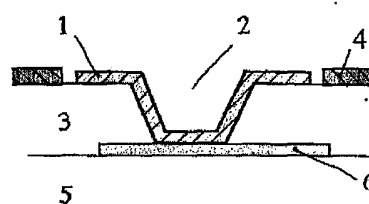
【図8】



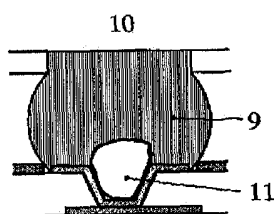
【図9】



【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 5E346 AA12 AA15 AA17 AA43 BB02  
 BB16 CC40 DD03 DD22 DD44  
 EE33 FF04 FF45 GG15 GG17  
 GG25 HH07 HH11

| L Number | Hits  | Search Text  | DB  | Time stamp       |
|----------|-------|--|---|------------------|
| 1        | 1     | ("6106923").PN.  | USPAT   | 2002/12/11 10:24 |
| 2        | 1     | cut\$2 near PTH  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 10:25 |
| 3        | 15365 | ((PTH or via or (through near hole)) near gas  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 10:28 |
| 4        | 63    | ((PTH or via or (through near hole)) near gas) same (pad or land)  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 10:33 |
| 5        | 334   | ((PTH or via or (through near hole)) near (air or escape or vent)) same (pad or land)  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:14 |
| 6        | 19    | ((PTH or via or (through near hole)) near (air or escape or vent)) same (pad or land) and solder   | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 10:50 |
| 7        | 0     | 6472608.URPN.  | USPAT   | 2002/12/11 10:43 |
| 8        | 0     | 6472608.URPN.  | USPAT   | 2002/12/11 10:43 |
| 9        | 6     | "5519580"   "6018462"   "6028366"   "6225573"   "6246587"   "6329605").PN.   | USPAT   | 2002/12/11 10:43 |
| 10       | 2     | 6028366.URPN.  | USPAT   | 2002/12/11 10:44 |
| 11       | 1613  | ((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))   | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:06 |
| 12       | 87    | ((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))) and solder   | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 10:50 |
| 13       | 0     | ((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))) and solder) not (((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))) | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 10:51 |
| 14       | 70    | ((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))) and solder) not (((PTH or via or (through near hole)) near (air or escape or vent)) same (pad or land)) and solder)  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:08 |
| 15       | 6951  | (open\$3 or cut\$2 or spac\$2) near (pad or land)  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:04 |
| 16       | 88    | ((open\$3 or cut\$2 or spac\$2) near (pad or land)) and ((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))   | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:08 |

|    |      |   |   |                  |
|----|------|---|---|------------------|
| 17 | 86   | (( (open\$3 or cut\$2 or spac\$2) near (pad or land)) and ((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))) not (((PTH or via or (through near hole)) same ((exhaust or air or escape or vent)) with (pad or land))) and solder) not (((PTH or via or (through near hole)) near (air or escape or vent)) same (pad or land)) and solder)) | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:08 |
| 18 | 1840 | ((moisture or air or escape or vent or exhaust) and (pad or land)).ti.  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:15 |
| 19 | 42   | ((moisture or air or escape or vent or exhaust) and (pad or land)).ti.) and solder  | USPAT;<br>US-PGPUB;<br>EPO; JPO;<br>DERWENT;<br>IBM_TDB | 2002/12/11 11:15 |
| 20 | 0    | 2000031631.URPN.  | USPAT   | 2002/12/11 11:22 |